

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001156063 A**

(43) Date of publication of application: **08.06.01**

(51) Int. Cl

**H01L 21/316**

(21) Application number: **11333292**

(71) Applicant: **HITACHI KOKUSAI ELECTRIC INC**

(22) Date of filing: **24.11.99**

(72) Inventor: **MIZUNO KANEKAZU  
MAEDA KIYOHIKO**

**(54) METHOD AND APPARATUS FOR  
MANUFACTURING SEMICONDUCTOR DEVICE**

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To provide a method of manufacturing a semiconductor device which has a manufacturing process capable of forming a silicon oxide film at a low temperature.

**SOLUTION:** In the manufacturing process capable of forming a silicon oxide film at a low temperature, the silicon oxide film is formed by the thermal CVD method using bis-tertiary butylaminosilane and O<sub>2</sub> as raw material gases.

**COPYRIGHT:** (C)2001,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-156063

(P2001-156063A)

(43)公開日 平成13年6月8日(2001.6.8)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 21/316

識別記号

F I

H 0 1 L 21/316

テマコト<sup>\*</sup>(参考)

X 5 F 0 5 8

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21)出願番号

特願平11-333292

(22)出願日

平成11年11月24日(1999.11.24)

(71)出願人 000001122

株式会社日立国際電気

東京都中野区東中野三丁目14番20号

(72)発明者 水野 謙和

東京都中野区東中野三丁目14番20号 国際  
電気株式会社内

(72)発明者 前田 喜世彦

東京都中野区東中野三丁目14番20号 国際  
電気株式会社内

(74)代理人 100098534

弁理士 宮本 治彦

F ターム(参考) 5F058 BA20 BC02 BF04 BF27 BF29  
BG01 BG02 BJ01

(54)【発明の名称】 半導体装置の製造方法および半導体製造装置

(57)【要約】

【課題】低温成膜が可能な酸化シリコン膜の製造工程を  
備える半導体装置の製造方法を提供する。

【解決手段】ビス ターシャル プチル アミノ シラ  
ンとO<sub>2</sub>とを原料ガスとして用いて酸化シリコン膜を熱  
CVD法により形成する。

**【特許請求の範囲】**

**【請求項1】** ビス ターシャル プチル アミノ シランとO<sub>2</sub>とを原料ガスとして用いて酸化シリコン膜を形成する工程を備えることを特徴とする半導体装置の製造方法。

**【請求項2】** 热CVD法により前記酸化シリコン膜を形成することを特徴とする請求項1記載の半導体装置の製造方法。

**【請求項3】** ビス ターシャル プチル アミノ シランガス：O<sub>2</sub>ガスの値を1：1以上として前記酸化シリコン膜を形成することを特徴とする請求項1または2記載の半導体装置の製造方法。

**【請求項4】** 前記酸化シリコン膜を形成する前または後に反応炉内をO<sub>2</sub>でガスパージすることを特徴とする請求項1乃至3のいずれかに記載の半導体装置の製造方法。

**【請求項5】** 前記酸化シリコン膜を形成する前および後に反応炉内をO<sub>2</sub>でガスパージすることを特徴とする請求項1乃至3のいずれかに記載の半導体装置の製造方法。

**【請求項6】** ビス ターシャル プチル アミノ シランとO<sub>2</sub>とを原料ガスとして用いて熱CVD法により酸化シリコン膜を形成することを特徴とする半導体製造装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、半導体装置の製造方法および半導体製造装置に関し、特に、酸化シリコン(SiO<sub>2</sub>)膜の熱CVD(Chemical Vapor Deposition)法による製造工程を備える半導体装置の製造方法および半導体製造装置に関する。

**【0002】**

**【従来の技術】** 従来、半導体装置に使用されるSiO<sub>2</sub>膜は、TEOS(テトラエトキシシラン)より形成する方法が一般的である。

**【0003】** SiO<sub>2</sub>膜を形成するには、TEOSを、650℃～700℃に保たれた炉の石英反応管内へ送り込む。炉内に導入されたTEOSは熱分解し半導体ウェーハ上または石英反応管内壁にSiO<sub>2</sub>膜を形成する。このときのSiO<sub>2</sub>膜の特性を示す屈折率は1.45である。

**【0004】** この従来技術には、次の問題点がある。すなわち、半導体素子寸法が小さくなるにつれて、浅い不純物の拡散層が必要とされるが、従来のように、650℃～700℃といった高温でSiO<sub>2</sub>膜を形成すると浅い拡散層内の不純物が熱により深く拡散してしまうという問題がある。

**【0005】**

**【発明が解決しようとする課題】** 本発明の主な目的は、従来技術の高温成膜という問題点を解決し、低温成膜が

可能な酸化シリコン膜の製造方法および製造装置を提供することにある。

**【0006】**

**【課題を解決するための手段】** 本発明によれば、SiH<sub>2</sub>(NH(C<sub>4</sub>H<sub>9</sub>))<sub>2</sub>(ビス ターシャル プチルアミノ シラン: BTBAS: Bis tertial butyl amino silane)とO<sub>2</sub>とを原料ガスとして用いて酸化シリコン(SiO<sub>2</sub>)膜を形成する工程を備えることを特徴とする半導体装置の製造方法が提供される。

**【0007】** このようにすれば、600℃以下の低温でSiO<sub>2</sub>膜を成膜可能である。

**【0008】** 好ましくは、熱CVD法によりSiO<sub>2</sub>膜を形成し、さらに好ましくは、縦型LP-CVD装置を用いてSiO<sub>2</sub>膜を形成する。

**【0009】** また、好ましくは、ビス ターシャル プチル アミノ シランガス：O<sub>2</sub>ガスの値を1：1以上として酸化シリコン膜を形成する。

**【0010】** また、好ましくは、SiO<sub>2</sub>膜を形成する前または後に反応炉内をO<sub>2</sub>でガスパージし、さらに好ましくは、SiO<sub>2</sub>膜を形成する前および後に反応炉内をO<sub>2</sub>でガスパージする。

**【0011】** また、本発明によれば、ビス ターシャル プチル アミノ シランとO<sub>2</sub>とを原料ガスとして用いて熱CVD法により酸化シリコン膜を形成することを特徴とする半導体製造装置が提供される。

**【0012】**

**【発明の実施の形態】** 次に、図面を参照して本発明の一実施の形態を説明する。

**【0013】** 本発明において使用するBTBASは常温では液体であるので、図2、図3に示すようなBTBAS供給装置を用いて炉内へ導入する。

**【0014】** 図2に示すBTBAS供給装置は、恒温槽と気体流量制御の組合せである。図3に示すBTBAS供給装置は、液体流量制御と気化器との組合せにより流量制御を行うものである。

**【0015】** 図2を参照すれば、BTBAS供給装置4においては、BTBAS液体原料42を備えた恒温槽41内を100℃程度に加熱し、BTBASの蒸気圧を高くすることによりBTBASを気化し、その後気化したBTBASは、マスフローコントローラ43により流量制御されて、BTBAS供給口44より図1に示す縦型LPCVD(減圧CVD)成膜装置のノズル21の供給口22に供給される。なお、このBTBAS供給装置4においては、BTBAS液体原料42からBTBAS供給口44に至るまでの配管は、配管加熱部材45によって覆われている。

**【0016】** 図3を参照すれば、BTBAS供給装置5においては、BTBAS液体原料52を備えたBTBASタンク51内に、押し出しガス導入口53から導入された押し出しガスHe、N<sub>2</sub>を配管54を介して導入す

ることにより、BTBAS液体原料32を配管55に押し出し、その後BTBAS液体原料は、液体流量制御装置56により流量制御されて気化器57に送られ、気化器57で気化されてBTBAS供給口58より図1に示す縦型LPCVD(減圧CVD)成膜装置のノズル21の供給口22に供給される。なお、このBTBAS供給装置5においては、気化器57からBTBAS供給口58に至るまでの配管は、配管加熱部材59によって覆われている。

【0017】次に、本実施の形態で好適に使用できる縦型LPCVD成膜装置を図1を参照して説明する。

【0018】縦型LPCVD成膜装置1においては、石英反応管11の外部にヒータ13を備えており、石英反応管11内を均一に加熱できる構造となっている。石英反応管11内には石英インナーチューブ12が設けられている。石英インナーチューブ12内には、複数の半導体ウェーハを垂直方向に積層して搭載する石英ポート14が設けられている。この石英ポート14は、キャップ15上に搭載されており、キャップ15を上下させることにより、石英インナーチューブ12内に挿入され、また石英インナーチューブ12から取り出される。石英反応管11および石英インナーチューブ12の下部は開放された構造となっているが、キャップ15を上昇させることにより、キャップ15の底板24により閉じられ気密な構造となる。石英インナーチューブ12の下部には、石英ノズル18、21が連通して設けられている。石英インナーチューブ12の上部は開放されている。石英インナーチューブ12と石英反応管11との間の空間の下部には、排気口17が連通して設けられている。排気口17は真空ポンプ(図示せず)に連通しており、石英反応管11内を減圧できる。石英ノズル18、21から供給された原料ガスは、各々の噴出口20、23から石英インナーチューブ12内に噴出され、その後、石英インナーチューブ12内を下部から上部まで移動し、石英インナーチューブ12と石英反応管11との間の空間を通って下方に流れ、排気口17から排気される。

【0019】次に、この縦型LPCVD成膜装置1を使用してSiO<sub>2</sub>膜を製造する方法について説明する。

【0020】まず、多数枚の半導体ウェーハ16を保持した石英ポート14を600℃以下の温度に保たれた石英インナーチューブ12内に挿入する。

【0021】次に、真空ポンプ(図示せず)を用いて排気口17より真空排気する。ウェーハの面内温度安定効果を得るために、1時間程度排気することが好ましい。

【0022】次に、石英ノズル18の注入口19よりO<sub>2</sub>ガスを注入し、石英反応管11内を、BTBASを流す前にO<sub>2</sub>でページする。

【0023】次に、石英ノズル18の注入口19よりO<sub>2</sub>ガスを注入し続けると共に、石英ノズル21の注入口22よりBTBASを注入して、半導体ウェーハ16上

にSiO<sub>2</sub>膜を成膜する。

【0024】次に、石英ノズル18の注入口19よりO<sub>2</sub>ガスを注入したまま、BTBASの供給を停止して、石英反応管11内をO<sub>2</sub>でページする。

【0025】BTBASのみ流すとSiO<sub>2</sub>膜とは異なる膜ができるため、デポジション前後にO<sub>2</sub>によるページを行うことが好ましい。

【0026】次に、石英ノズル18よりN<sub>2</sub>を石英反応管11内に流入させてN<sub>2</sub>ページを行い、石英反応管11内のO<sub>2</sub>を除去する。

【0027】その後、N<sub>2</sub>の供給を止めて石英反応管11内を真空にする。N<sub>2</sub>ページとその後の石英反応管11内の真空排気は数回セットで実施する。

【0028】その後、石英反応管11内を真空状態から大気圧状態へ戻し、その後、石英ポート14を下げて、石英反応管11より引き出し、その後、石英ポート14および半導体ウェーハ16を室温まで下げる。

【0029】

【実施例】次に、上記縦型LPCVD成膜装置1を使用して、SiO<sub>2</sub>膜を作成した。この際には、図3に示したBTBAS供給装置5を使用した。

【0030】炉温565℃にてBTBASおよびO<sub>2</sub>を石英反応管11内に同時導入すると膜屈折率が1.46～1.48であり、従来のSiO<sub>2</sub>膜と同等の膜が得られた。

【0031】これに対して、炉温565℃にてBTBASのみを石英反応管11内に導入すると膜屈折率が1.78であり、従来のSiO<sub>2</sub>膜と異なる膜が形成される。

【0032】図4に、成膜温度とSiO<sub>2</sub>膜の屈折率との関係を示す。BTBAS流量100sccm、O<sub>2</sub>流量400sccm、圧力65paを固定条件として成膜温度を565℃、580℃、595℃と変化させた時の膜屈折率データである。成膜温度によらず、膜特性を表す屈折率は1.47で一定している。TEOSによるSiO<sub>2</sub>の屈折率(グラフ右端参照)は1.44であり同程度と言える。

【0033】またHFによるウェット・エッチングを行った。成膜温度を565℃、580℃、595℃と変化させて成膜したSiO<sub>2</sub>膜のエッチングレートの結果を図5に示す。TEOSによるSiO<sub>2</sub>のエッチングレート(グラフ右端参照)とBTBASとO<sub>2</sub>によるSiO<sub>2</sub>のエッチングレートは同程度と言える。

【0034】従って成膜温度は565℃～595℃が望ましい。

【0035】図6に、ガス比(BTBAS:O<sub>2</sub>)とSiO<sub>2</sub>膜の屈折率との関係を示す。ガス比によらず屈折率は1.47～1.49が得られ、TEOSによるSiO<sub>2</sub>の屈折率(グラフ右端参照)は1.44であり同程度と言える。

【0036】またHFによるウェット・エッチングを行った。ガス比(BTBAS:O<sub>2</sub>)を変化させて成膜したSiO<sub>2</sub>膜のエッチングレートの結果を図7に示す。TEOSによるSiO<sub>2</sub>のエッチングレート(グラフ右端参照)とBTBASとO<sub>2</sub>によるSiO<sub>2</sub>のエッチングレートは同程度と言える。

【0037】従ってガス比はBTBAS:O<sub>2</sub>が1:1以上が望ましい。

【0038】なお、図4、図6で、頂部とは、125枚のウェーハを処理した場合の下から115枚目をいい、中央部とは、下から66枚目をいい、底部とは下から16枚目をいう。また、図5、図7のエッチングレートのデータは中央部の半導体ウェーハを用いて得られたものである。

#### 【0039】

【発明の効果】BTBASにO<sub>2</sub>を添加することにより得られたSiO<sub>2</sub>膜は従来より低温である600°C以下で成膜可能であり、半導体デバイスに必要な薄い拡散層にダメージを与えない。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態で使用する縦型LPCVD成膜装置を説明するための概略断面図である。

【図2】本発明の一実施の形態で使用する成膜装置において好適に使用されるBTBAS供給装置を説明するための概略図である

【図3】本発明の一実施の形態で使用する成膜装置において好適に使用されるBTBAS供給装置を説明するための概略図である

【図4】本発明の一実施例における成膜温度とSiO<sub>2</sub>膜の屈折率との関係を示すグラフである。

【図5】本発明の一実施例における成膜温度とSiO<sub>2</sub>膜のエッチングレートとの関係を示すグラフである。

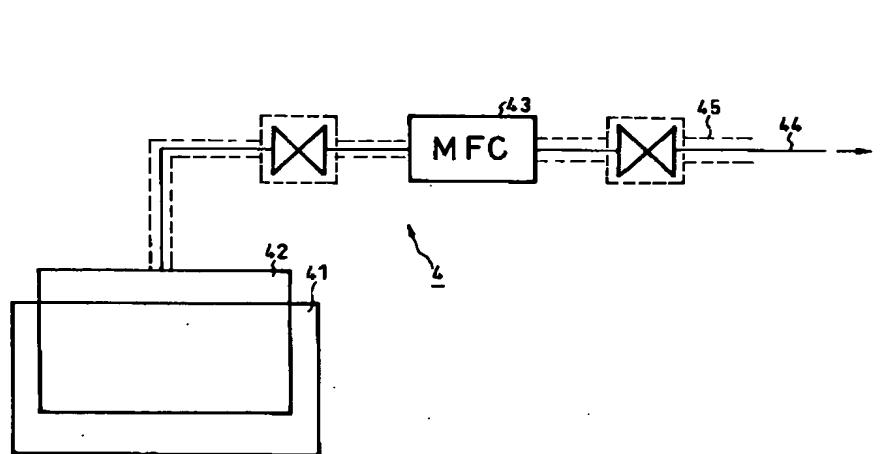
【図6】本発明の一実施例におけるガス比(BTBAS:O<sub>2</sub>)とSiO<sub>2</sub>膜の屈折率との関係を示すグラフである。

【図7】本発明の一実施例におけるガス比(BTBAS:O<sub>2</sub>)とSiO<sub>2</sub>膜のエッチングレートとの関係を示すグラフである。

#### 【符号の説明】

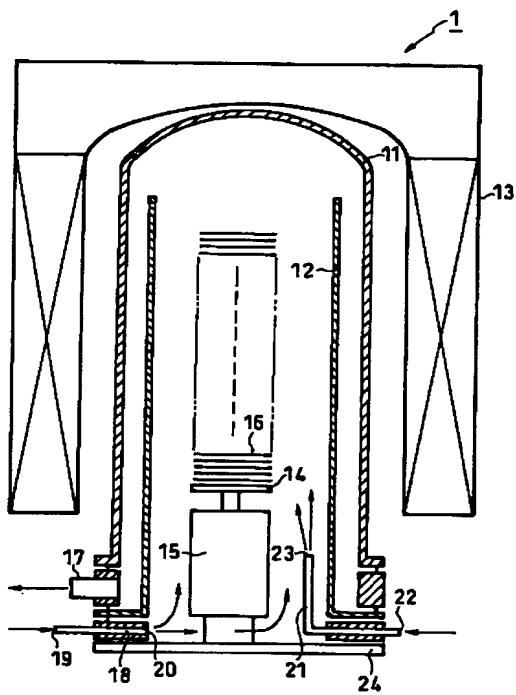
- 1…縦型成膜装置
- 4、5…BTBAS供給装置
- 11…石英反応管
- 12…石英インナーチューブ
- 13…ヒータ
- 14…石英ポート
- 15…キャップ
- 16…半導体ウェーハ
- 17…排気口
- 18、21…石英ノズル
- 41…恒温槽
- 51…BTBAS原料タンク
- 42、52…BTBAS液体原料
- 53…キャリアガス導入口
- 54、55…配管
- 43…マスフローコントローラ
- 44、58…BTBAS供給口
- 56…液体流量制御装置
- 57…気化器
- 45、59…配管加熱部材

【図2】



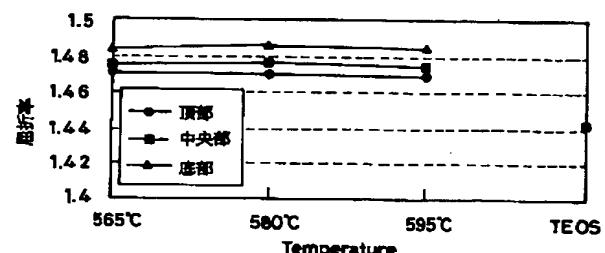
【図1】

図1



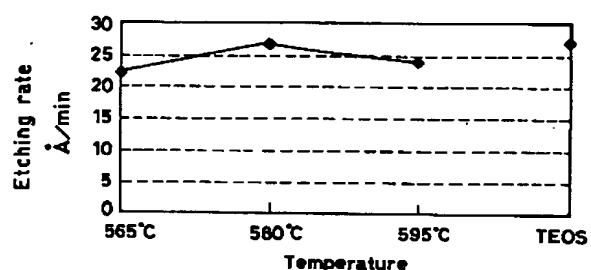
【図4】

図4

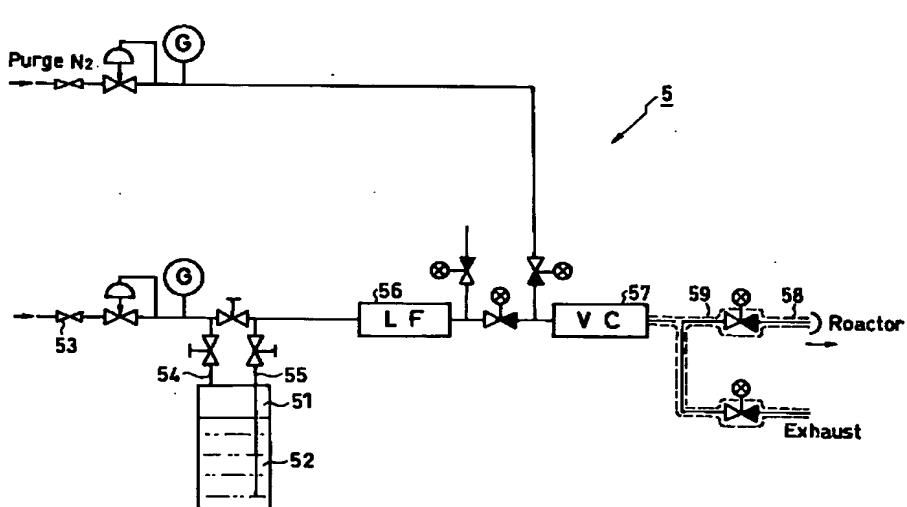


【図5】

図5

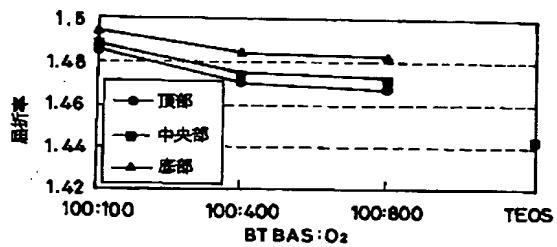


【図3】



【図6】

図6



【図7】

図7

